

DIALOG(R) File 347:JAPIO  
(c) 2003 JPO & JAPIO. All rts. reserv.

02181864    \*\*Image available\*\*  
SEMICONDUCTOR DEVICE

PUB. NO.:        62-098764 A]  
PUBLISHED:      May 08, 1987 (19870508)  
INVENTOR(s):    TANAKA YOSHIMITSU  
                  HOSOYA KIYOSHI  
APPLICANT(s):   MATSUSHITA ELECTRIC WORKS LTD [000583] (A Japanese Company or  
                  Corporation), JP (Japan)  
APPL. NO.:      60-240105 [JP 85240105]  
FILED:          October 25, 1985 (19851025)  
INTL CLASS:     [4] H01L-027/08; H01L-029/78  
JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                  MOS)  
JOURNAL:        Section: E, Section No. 546, Vol. 11, No. 306, Pg. 52,  
                  October 06, 1987 (19871006)

#### ABSTRACT

PURPOSE: To form CMOS of which high voltage resistance and composite integration are easily achieved, by a method wherein a semiconductor layer and a separating layer which constitute a semiconductor substrate are connected to low-potential ends and the impurity concentration of layers around the channel of two MOSFETs is differentiated so that a depletion layer at the time of reverse bias may not extend to this channel.

CONSTITUTION: A semiconductor substrate is formed by providing, on a semiconductor layer 1 of a P-type (first conductivity type), at least two wells 2 and 3, first and second, of an N-type (second conductivity type) which have higher impurity concentration than the semiconductor layer and are separated by P-type separating layers 4... having further higher impurity concentration than these wells 2 and 3. Since the source electrode 14 of N-type MOSFET serving as a low-potential end is connected also to a base 4a, a diffused layer 4 containing this base 4a, the semiconductor layer 1 and other diffused layers 4 can be put also in a low-potential state. In the case when an element other than this CMOS is formed on the same substrate, therefore, it is not necessarily formed in the well, and also there is no possibility of occurrence of latch-up.

DIALOG(R)File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

007169760

WPI Acc No: 1987-166769/ 198724

CMOS with high pressure resist and easy multiplex integration - on  
N-layer, where min. 2 P-type wells with higher impurity concn. than  
N-layer are obtd. sepd. by N-type layer NoAbstract Dwg 1/2

Patent Assignee: MATSUSHITA ELECTRIC WORKS LTD (MATW )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 62098764	A	19870508	JP 85240105	A	19851025	198724 B

Priority Applications (No Type Date): JP 85240105 A 19851025

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 62098764	A	8		
-------------	---	---	--	--

Title Terms: CMOS; HIGH; PRESSURE; RESIST; EASY; MULTIPLEX; INTEGRATE; N;  
LAYER; MINIMUM; P-TYPE; WELL; HIGH; IMPURE; CONCENTRATE; N; LAYER; OBTAIN  
; SEPARATE; N-TYPE; LAYER; NOABSTRACT

Index Terms/Additional Words: COMPLEMENTARY; METAL; OXIDE; SEMICONDUCTOR

Derwent Class: L03; U12; U13

International Patent Class (Additional): H01L-027/08; H01L-029/78

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L04-E

Manual Codes (EPI/S-X): U12-D02A; U13-D02A

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-98764

⑮ Int.Cl.<sup>4</sup>

H 01 L 27/08  
29/78

識別記号

102

庁内整理番号

7735-5F  
8422-5F

⑬ 公開 昭和62年(1987)5月8日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭60-240105

⑰ 出 願 昭60(1985)10月25日

⑱ 発 明 者 田 中 義 光  
⑲ 発 明 者 細 谷 清 志  
⑳ 出 願 人 松下電工株式会社  
㉑ 代 理 人 弁理士 松本 武彦

門真市大字門真1048番地 松下電工株式会社内  
門真市大字門真1048番地 松下電工株式会社内  
門真市大字門真1048番地

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 第1導電型の半導体層上に、これより不純物濃度の高い第2導電型の第1および第2の少くとも2つのウエルが、これらのウエルよりさらに不純物濃度の高い第1導電型の分離層によって分離されて半導体基板が形成されており、第1のウエル内にはその表面にこれより不純物濃度の高い第2導電型の第1領域が形成され、この第1領域内とそれに隣接する第1のウエルの表面には、さらに不純物濃度の高い第1導電型の第2および第3領域が、第2領域は第1領域から出ないように、第3領域はこの第1領域と接しないように、それぞれ、形成されており、この第1のウエルの表面上には、前記第2領域と接続された第1の電極と、前記第3領域と接続された第2の電極と、前記第2領域、第1領域、第1のウエルおよび第3領域にまたがるように絶縁層を介して形成された

第3の電極とが形成されていて、この第3の電極を絶縁ゲート、第2の電極をドレイン電極、第1の電極をソース電極として第1導電型MOSFETが形成されており、一方、前記分離層表面には前記第2のウエルと離間するようにこの分離層よりも不純物濃度の高い第2導電型の第4領域が形成されているとともに、第2のウエル内にはその表面にこの第2のウエルよりも不純物濃度の高い第2導電型の第5領域が形成されており、これらの表面上には、前記第4領域とそのまわりの分離層とをつなぐ第4の電極と、前記第5領域と接続された第5の電極と、前記第4領域、分離層および第2のウエルにまたがるように絶縁層を介して形成された第6の電極とが形成されていて、この第6の電極を絶縁ゲート、第5の電極をドレイン電極、第4の電極をソース電極として第2導電型MOSFETが形成されており、これら2つのMOSFETの絶縁ゲート同士およびドレイン電極同士が接続されて相補型MOSが形成されるようになっている半導体装置。

## 3. 発明の詳細な説明

## (技術分野)

互いに極性の異なるFETを備え、相補型MOS(CMOS)となる半導体装置に関する。

## (背景技術)

MOSFET(絶縁ゲート電界効果トランジスタ)を用いた論理回路であるMOS論理回路の最も基本となる回路は、否定論理の機能をもつゲート回路でインバータとも呼ばれる。MOSインバータは、ドライバ素子と負荷素子の直列回路からなるが、通常どちらにもMOSFETが用いられる。MOSFETの組合せはいくつかあるが、その一つにCMOS(相補型インバータ)があり、PチャネルとNチャネルのエンハンスメント型MOSFETを直列に接続し、ゲートを共通に接続して入力端とし、ドレインを共通に接続して出力端とする。

第2図は、NチャネルMOSFETとPチャネルMOSFETを備えた従来のCMOSの構造をあらわす。N型基板21中にP型ウェル22が形成されており、これがNチャネルとPチャネルを分離する。P

型ウェル22の外には、P型のドレイン23とソース24とを備えたPチャネルのMOSFETが形成され、ウェル22内は、N型不純物拡散でN型のドレイン25とソース26とが形成されてNチャネルのMOSFETとなっている。なお、図中、27、28は、それぞれ、絶縁層29、29を介して形成された絶縁ゲートである。

ところが、図のような構造のCMOSでは、PN接合に印加された逆バイアスのために空乏層が拡がってMOSFETが短絡してしまう、いわゆる、パンチスルーを防ぐことが困難である。そこで、このようなパンチスルーを防ぐ(パンチスルー耐圧を高める)ために、例えば、ドレインの一部に低不純物濃度領域を形成する等の試みがなされているが、このような方法では、高精度の不純物濃度制御技術が必要で、また、その効果にも限度がある。さらに、このようなCMOSでは、通常、基材に高電位を印加して使用するため、CMOS以外の素子をこの基材上に形成するためには、これらの素子を、ことごとく、Pウェル中に形成しな

ければならない。そのため、これらの部分に寄生素子が形成されてラッチアップが発生する恐れもあり、問題となっている。

## (発明の目的)

この発明は、以上の問題に鑑みてなされたものであって、パンチスルーやラッチアップが発生しにくく、高耐圧化および複合集積化が容易なCMOSを形成できる半導体装置を提供することを目的としている。

## (発明の開示)

以上の目的を達成するため、この発明は、第1導電型の半導体層上に、これより不純物濃度の高い第2導電型の第1および第2の少くとも2つのウェルが、これらのウェルよりさらに不純物濃度の高い第1導電型の分離層によって分離されて半導体基板が形成されており、第1のウェル内にはその表面にこれより不純物濃度の高い第2導電型の第1領域が形成され、この第1領域内とそれに隣接する第1のウェルの表面には、さらに不純物濃度の高い第1導電型の第2および第3領域が、

第2領域は第1領域から出ないように、第3領域はこの第1領域と接しないように、それぞれ、形成されており、この第1のウェルの表面上には、前記第2領域と接続された第1の電極と、前記第3領域と接続された第2の電極と、前記第2領域、第1領域、第1のウェルおよび第3領域にまたがるように絶縁層を介して形成された第3の電極とが形成されていて、この第3の電極を絶縁ゲート、第2の電極をドレイン電極、第1の電極をソース電極として第1導電型MOSFETが形成されており、一方、前記分離層表面には前記第2のウェルと離間するようにこの分離層より不純物濃度の高い第2導電型の第4領域が形成されているとともに、第2のウェル内にはその表面にこの第2のウェルより不純物濃度の高い第2導電型の第5領域が形成されており、これらの表面上には、前記第4領域とそのまわりの分離層とをつなぐ第4の電極と、前記第5領域と接続された第5の電極と、前記第4領域、分離層および第2のウェルにまたがるように絶縁層を介して形成された第6の

電極とが形成されていて、この第6の電極を絶縁ゲート、第5の電極をドレイン電極、第4の電極をソース電極として第2導電型MOSFETが形成されており、これら2つのMOSFETの絶縁ゲート同士およびドレイン電極同士が接続されて相補型MOSが形成されるようになっている半導体装置を要旨としている。

以下に、この発明を、その一実施例をあらわす第1図にもとづいて、くわしく説明する。

P型(第1導電型)の半導体層1上に、これより不純物濃度の高いN型(第2導電型)の第1および第2の少くとも2つのウエル2、3がこれらのウエル2、3よりさらに不純物濃度の高いP型の分離層4・・・によって分離されて半導体基板が形成されている。

このように、半導体基板を形成する方法は、これに限定されないが、たとえば、次のようにして行なわれる。

まず、P型の半導体層1上に、これより不純物濃度の高いN<sup>-</sup>層を、エピタキシャル成長等の方

法によって形成する。つぎに、このN<sup>-</sup>層の所定の位置にP型不純物を拡散して、N<sup>-</sup>層より不純物濃度の高いP型の分離層4・・・を形成し、N<sup>-</sup>層をウエル2、3に分離するのである。

第1のウエル2内には、その表面に、この第1のウエル2よりも不純物濃度の高いN型の第1領域5が形成されている。そして、この第1領域5内と、これに隣接する第1のウエル2の表面には、それぞれ、前記第1領域5よりもさらに不純物濃度の高いP型の第2領域6および第3領域7が形成されている。第2領域6は第1領域5から出ないように環状に形成されており、第3領域7は第1領域5と接触しないように環状に形成されている。第2領域6には、第1の電極8が接続されており、第3領域7には、第2の電極9が接続されている。第1のウエル2の表面上には、第2領域6、第1領域5、第1のウエル2および第3領域7にまたがるように、絶縁層10aを介して、第3の電極11が形成されている。そして、この第3の電極11を絶縁ゲート、第2の電極9をド

レイン電極、第1の電極8をソース電極として、P型MOSFET(絶縁ゲート型電界効果トランジスタ)が形成されるのである。

第2のウエル3内と、この第2のウエル3を囲むように形成された分離層4の各表面には、それぞれ、この分離層4よりも不純物濃度の高いN型の第4領域12および第5領域13が形成されている。第4領域12は第2のウエル3を囲むように、しかも、この第2のウエル3と接触しないように環状に形成されており、第5領域13は第2のウエル3から出ないように形成されている。第4領域12には、この第4領域12とそのまわりの分離層4とをつなぐように形成された第4の電極14が設けられており、第5領域13には、第5の電極15が接続されている。第4の電極14と第5の電極15との間には、第4領域12、分離層4および第2のウエル3にまたがるように、絶縁層10bを介して、第6の電極16が形成されている。そして、この第6の電極16を絶縁ゲート、第5の電極15をドレイン電極、第4の電

極14をソース電極として、N型MOSFETが形成されるのである。そして、このN型MOSFETでは、分離層4の上部を、チャネルを構成するベース4aとして使用するようになっている。

このあと、以上2つのMOSFETの絶縁ゲート同士11および16を1つに接続して入力端(V<sub>in</sub>)とし、かつ、ドレイン電極同士9および15を1つに接続して出力端(V<sub>out</sub>)とすれば、CMOSが得られる。なお、このようなCMOSでは、N型MOSFETのソース電極14を低レベルまたはアースに接続して低電位端V<sub>ss</sub>とし、P型MOSFETのソース電極8を高レベルに接続して高電位端V<sub>DD</sub>として使用するようになっている。

以上のようにこの発明の半導体装置を用いてCMOSを形成した場合には、低電位端(V<sub>ss</sub>)となっているN型MOSFETのソース電極14がベース4aとも接続しているため、このベース4aを含む拡散層4や半導体層1あるいは他の拡散層(図中右はしのもの等)4・・・をも低電位状態(アース状態をも含む)とすることができる。このた

め、このCMOS以外の素子を同一基板上に形成する場合には、必ずしもウエル中に形成する必要はなくなり、ラッチアップが発生する恐れもなくなる。また、各ウエル中を、それぞれ独立した電位にすることも可能となり、種々の素子を形成することができるようになるのである。

N型MOSFETでは、チャネルを形成するP型のベース4aとドレインとなる第2のウエル3とのPN接合において、ベース4aの方が第2のウエル3よりも不純物濃度が高くなっているため、逆バイアス状態になったときには、空乏層は、第2のウエル3内には拡がるが、ベース4aにはほとんど拡がらない。このため、この部分でパンチスルーが発生する恐れはない。このことは、P型MOSFETでも同様であって、チャネルの一部である第1のウエル2と、ドレインとなる第3領域7とのPN接合では、第3領域7の方が不純物濃度が高いため、この第3領域7には、空乏層はほとんど拡がらない。また、チャネルの一部である前記第1のウエル2には空乏層が拡がるが、チャネルを形

成する残りの部分である第1領域5の不純物濃度が、第1のウエル2よりも高くなっているため、この部分にまで空乏層が拡がることはない。いいかえれば、このP型MOSFETでは、チャネルの1部を構成する第1のウエル2はしきい値の低い（場合によってはデプレッション型になっている）部分であっても、チャネルの残りを構成する第1領域5は高しきい値部分になっているため、この部分によってMOSFETのON、OFFが制御されるようになっているのである。そして、このことによってパンチスルーの発生を防ぐようになっている。

N型の2つのウエル2、3は、P型の半導体層1よりもその不純物濃度が高くなっており、このPN接合では、逆バイアスが印加されたときには、空乏層は、半導体層1には拡がるが、ウエル2、3内にはあまり拡がらない。したがって、ウエル2、3の厚みを薄くしても、このPN接合から発生した空乏層がチャネルにまで届く恐れがなく、高耐圧化を保ちながら、しかもウエル2、3の厚みを薄くすることができるため、前述したエビ

タキシャル成長や不純物拡散による分離層の形成等の工程を簡略化することが可能となる。

また、この実施例では、このチャネルの長さを長くとり、それによって空乏層の拡がりによるパンチスルーを防ぐようにもなっていて、さらに高耐圧性をも実現している。

この発明では、以上のようにして、ラッチアップやパンチスルーを防いでいるため、複合集積化や高耐圧化の容易なCMOSを形成することができるようになるのである。

これまでは、第1図の実施例にもとづいてこの発明の半導体装置を説明してきたが、この発明の構成は図の実施例に限られるものではない。たとえば、図の実施例では、N型あるいはP型のチャネルが、それぞれ、環状に形成され、1つのN型のMOSFETと、1つのP型のMOSFETとして使用されるようになっていたが、MOSFETを構成するチャネルの数は2つ以上であってもかまわず、環状になっていなくてもよい。また、この実施例では、半導体層1がP型であったため、第1導電型がP型

で第2導電型がN型になっていたが、半導体層1がN型である場合には、第1導電型がN型で第2導電型がP型になることはいうまでもない。

#### 〔発明の効果〕

この発明の半導体装置は、以上のように構成されており、半導体基板を構成する半導体層および分離層が低電位端（低レベルまたはアース）と接続されるようになっていて、かつ、両MOSFETのチャネルのまわりの各層の不純物濃度に差をつけてこのチャネルに逆バイアス時の空乏層が及ばないようにしているため、ラッチアップやパンチスルーが発生しにくく、高耐圧化や複合集積化が容易なCMOSを形成することが可能となっている。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例の構成をあらわす説明図、第2図は従来例をあらわす説明図である。

1…半導体層 2、3…ウエル 4…分離層  
5…第1領域 6…第2領域 7…第3領域 1  
2…第4領域 13…第5領域 8、9、11、

